

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03894923 \*\*Image available\*\*

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 04-260023 [JP 4260023 A]

PUBLISHED: September 16, 1992 (19920916)

INVENTOR(s): MORIMOTO MITSUTAKA

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.: 03-021774 [JP 9121774]

FILED: February 15, 1991 (19910215)

INTL CLASS: [5] G02F-001/136; G02F-001/133; G02F-001/1345; G09F-009/30;  
G09F-009/35; H01L-027/12; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION  
-- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --  
Glass

Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
Semiconductors, MOS)

JOURNAL: Section: P, Section No. 1477, Vol. 17, No. 48, Pg. 87,  
January 29, 1993 (19930129)

### ABSTRACT

PURPOSE: To reduce the power consumption by reducing the occupation area of  
a driving circuit.

CONSTITUTION: On a driving-circuit incorporated active matrix substrate  
101, a part 103a consisting of an n-MOS transistor(TR) and a part 103b  
consisting of a p-MOS TR are connected by longitudinal wiring 108 to form a  
complementary driving circuit. Consequently, the driving circuit occupation  
area is reduced to half and the n-MOS TR and p-MOS TR are formed  
divisionally, so a driving circuit which use the CMOS TRs can easily be  
manufactured.

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

009232790 \*\*Image available\*\*

WPI Acc No: 1992-360211/199244

XRPX Acc No: N92-274336

Liquid crystal display device with reduced area for drive circuit - has  
drive circuit divided into two drive circuits, each mounted on one of two  
electrode substrates NoAbstract

Patent Assignee: NEC CORP (NIDE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No  | Kind | Date     | Applicat No | Kind | Date     | Week     |
|------------|------|----------|-------------|------|----------|----------|
| JP 4260023 | A    | 19920916 | JP 9121774  | A    | 19910215 | 199244 B |

Priority Applications (No Type Date): JP 9121774 A 19910215

Patent Details:

| Patent No  | Kind | LaN Pg | Main IPC     | Filing Notes |
|------------|------|--------|--------------|--------------|
| JP 4260023 | A    | 5      | G02F-001/136 |              |

Title Terms: LIQUID; CRYSTAL; DISPLAY; DEVICE; REDUCE; AREA; DRIVE; CIRCUIT  
; DRIVE; CIRCUIT; DIVIDE; TWO; DRIVE; CIRCUIT; MOUNT; ONE; TWO;  
ELECTRODE ; SUBSTRATE; NOABSTRACT

Derwent Class: P81; P85; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/133; G02F-001/1345;  
G09F-009/30

File Segment: EPI; EngPI

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-260023

(43)公開日 平成4年(1992)9月16日

| (51)Int.Cl. <sup>5</sup> | 識別記号   | 序内整理番号 | F I           | 技術表示箇所  |
|--------------------------|--------|--------|---------------|---------|
| G 0 2 F                  | 1/136  | 5 0 0  | 9018-2K       |         |
|                          | 1/133  | 5 5 0  | 7820-2K       |         |
|                          | 1/1345 |        | 9018-2K       |         |
| G 0 9 F                  | 9/30   | 3 3 1  | 7926-5G       |         |
|                          |        |        | 9056-4M       |         |
|                          |        |        | H 0 1 L 29/78 | 3 1 1 A |

審査請求 未請求 請求項の数3(全5頁) 最終頁に統く

(21)出願番号 特願平3-21774

(22)出願日 平成3年(1991)2月15日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 森本 光孝

東京都港区芝5丁目7番1号日本電気株式  
会社内

(74)代理人 弁理士 内原 晋

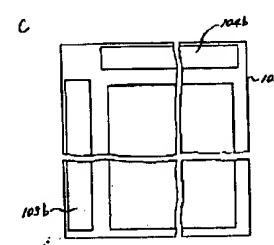
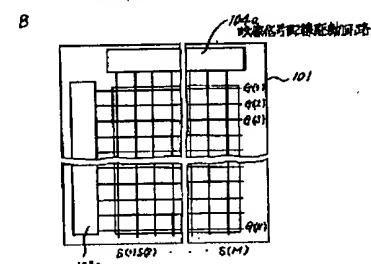
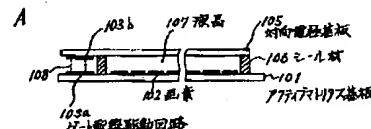
(54)【発明の名称】 液晶表示装置

## (57)【要約】

【目的】駆動回路占有面積の縮小及び消費電力の低減

【構成】駆動回路内蔵アクティブマトリクス基板101において、n-MOSトランジスタから構成される103aとp-MOSトランジスタから構成される103bとが、縦配線108で結ばれて相補型の駆動回路が形成されている。

【効果】駆動回路占有面積が1/2に低減した。n-MOSトランジスタとp-MOSトランジスタとを分割して形成したので、CMOSを用いた駆動回路を容易に製造できるようになった。



1

## 【特許請求の範囲】

【請求項1】 第1及び第2の電極基板と、前記第1及び第2の電極基板間に挟持された液晶と、前記液晶を駆動する駆動回路とを有する液晶表示装置に於いて、前記駆動回路が第1の駆動回路と第2の駆動回路に分割され、前記第1の駆動回路は前記第1の電極基板に搭載され、前記第2の電極基板は前記第2の電極基板に搭載され、前記第1の駆動回路と前記第2の駆動回路を配線によって接続することを特徴とする液晶表示装置。

【請求項2】 前記第1の駆動回路を一導電型の薄膜MOSトランジスタで、前記第2の駆動回路を他の導電型の薄膜MOSトランジスタでそれぞれ構成することを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記電極基板上に形成された第1の半導体薄膜を用いて前記第1の駆動回路を形成し、前記対向電極基板上に形成された第2の半導体薄膜を用いて前記第2の駆動回路を形成することを特徴とする請求項1記載の液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は液晶表示装置に関し、特に駆動回路を内蔵したアクティブマトリクス液晶表示装置に関する。

## 【0002】

【從来の技術】 近年、ガラス等の透明基板表面に形成したスイッチングトランジスタアレイを用いたアクティブマトリクス液晶パネルが実用化されている。これらのアクティブマトリクス液晶パネルは、駆動回路がすべてアクティブマトリクス液晶パネルの外部に形成されている。

【0003】 表示画素数の増大に伴ってマトリクスの規模が大きくなり、映像信号配線、ゲート配線の本数が増えると、所要接続端子数は双方の配線数の和に相当するので、パネルと外部駆動回路との接続部占有面積が増大し、パネルの小型化の障害になる。また、外部駆動回路LSI及びその実装コストも増大する。このため駆動回路をアクティブマトリクス基板内に内蔵して上記問題を解決しようとする提案がなされている。

【0004】 従来の駆動回路内蔵アクティブマトリクスパネルを図3A、Bを用いて説明する。図3Aは從来の駆動回路内蔵アクティブマトリクスパネルの断面図、図3Bは平面図である。

【0005】 透明ガラス基板301上には、映像信号配線S(1)～S(M)、ゲート配線G(1)～G(N)、及びそれらの交点にそれぞれ形成された薄膜トランジスタ(図示せず)と画素電極(図示せず)の対よりなる画素302のマトリクスよりなる表示領域が形成されている。さらに映像信号配線S(1)～S(M)、ゲート配線G(1)～G(M)をそれぞれ駆動する映像信号配線駆動回路303、ゲート配線駆動回路304も

10

アクティブマトリクス基板301上に形成されている。第2の透明ガラスに形成された画素の対向電極基板305と透明ガラス基板301との間には液晶307が挟み込まれ、液晶307はシール材306によってシールされている。

## 【0006】

【発明が解決しようとする課題】 しかしながら、上記従来の駆動回路内蔵アクティブマトリクスパネルにおいて、更なる大面積表示、高精細表示を狙って画素数を増大すると、駆動回路の負荷が増大するので、駆動用トランジスタのサイズを大型化せねばならず、駆動回路占有面積が増大し、結果的に装置が大型化するという問題点があった。

【0007】 また、従来の駆動回路303、304は、例えばn-チャネル薄膜トランジスタのみで構成されていたから、駆動回路の負荷が増大し駆動用トランジスタも大型化すると、消費電力が増加するので、発熱によって信頼性が低下するという問題点もあった。

【0008】 本発明は、上記従来の問題点を解決し、駆動回路占有面積のより小さい液晶表示装置を提供することを目的とする。

【0009】 さらに、本発明は、駆動回路による発熱を低減して、信頼性の高い液晶表示装置を提供することを目的とする。

## 【0010】

【課題を解決するための手段】 本発明によれば、第1及び第2の電極基板と第1及び第2の電極基板間に挟持された液晶と、液晶を駆動する駆動回路とを有する液晶表示装置に於いて、駆動回路が第1の駆動回路と第2の駆動回路に分割され、第1の駆動回路は第1の電極基板に搭載され、第2の電極基板は第2の電極基板に搭載され、第1の駆動回路と第2の駆動回路を配線によって接続することを特徴とする液晶表示装置が得られる。

【0011】 また、本発明によれば、第1の駆動回路を一導電型の薄膜MOSトランジスタで、第2の駆動回路を他の導電型の薄膜MOSトランジスタでそれぞれ構成することを特徴とする液晶表示装置が得られる。

【0012】 更に、本発明によれば、電極基板上に形成された第1の半導体薄膜を用いて第1の駆動回路を形成し、対向電極基板上に形成された第2の半導体薄膜を用いて第2の駆動回路を形成することを特徴とする請求項1記載の液晶表示装置が得られる。

【0013】 従来の液晶表示装置の駆動回路を分割して、2枚の電極基板のそれぞれに搭載することによって、専有面積を半分にすることができる。このことより駆動回路をあらかじめ電極基板とは別に切り離す、電極基板上の半導体薄膜を用いて形成される。

【0014】 分割した駆動回路を片面の駆動回路に、金属突起を

3

合わせる方法、樹脂の中に銀ペースト等の微粒子を埋め込んだものを駆動回路間で融解する方法、異方性導電ゴムをはさみ込む方法等が挙げられる。配線での欠陥を少なくするという点から金属突起を設ける方法が望ましい。

【0015】駆動回路は、電極基板上に形成された半導体薄膜を用いて製造することにより、占有面積及び実装コストを低減することが出来る。半導体薄膜としては、ポリシリコンやアモルファスシリコン等を用いることができるが、動作速度の高いトランジスタを製造するといふ点からポリシリコンが好ましい。

【0016】さらに、第1の駆動回路及び第2の駆動回路にそれぞれ一導電型及び他の導電型の薄膜トランジスタを用いて相補型MOS構造とすることにより消費電力を減少できる。この際、相補型の薄膜MOSトランジスタを、それぞれの基板に分割すれば、それぞれの基板では一導電型のMOSトランジスタを製造すれば良い。これは、同一基板中にnチャネルとpチャネルの両方のMOSトランジスタを製造するよりも製造工程を非常に削減することになり、製造コストも低減されるからである。また、画素電極が形成された基板上の駆動回路を表示領域内の薄膜トランジスタと同一導電型のトランジスタで構成すれば、駆動回路と表示領域内のトランジスタとを同時に形成できる。さらに、この場合においても半導体薄膜としてポリシリコンを用いれば動作速度を高くできることはもちろんのこと、nチャネル型だけでなくpチャネル型MOSトランジスタも容易に製造できる。

【0017】

【実施例】次に本発明について図面を参照して説明する。

【0018】図1A～Cは、本発明における液晶表示装置の実施例を示す図である。図1Aは、駆動回路内蔵アクティブマトリクス液晶パネルの断面図、図1Bは、駆動回路内蔵アクティブマトリクス基板の平面図、図1Cは、駆動回路内蔵対向電極基板の構成図である。

【0019】透明ガラス基板上に薄膜トランジスタと画素電極の対よりなる画素102と一部の駆動回路103a, 104aが搭載されアクティブマトリクス基板101を構成している。更に、他の透明ガラス基板上に駆動回路の他の一部103b, 104bが搭載され対向電極基板105を構成している。アクティブマトリクス基板101と対向電極基板105とは適切な間隔をもって重ね合わせられ、間隙には液晶107が満たされシール材106でシールされている。映像信号配線駆動回路103a, b、ゲート配線駆動回路104a, bがそれぞれアクティブマトリクス基板101と、対向電極基板105とに分割搭載されており、それらの2枚の透明ガラス基板の駆動回路間は縦配線108で接続されている。

【0020】本実施例の第1の特徴は、上述のことくア

4

クティブマトリクス液晶パネルを構成するアクティブマトリクス基板101と、対向電極基板105との双方に駆動回路103, 104を分割して内蔵することにある。これにより駆動回路の占有面積が約1/2に低減する。

【0021】図2は本発明の駆動回路内蔵アクティブマトリクス液晶パネルの駆動回路構成の実施例を示す。アクティブマトリクス基板101側にnチャネル薄膜MOSトランジスタ201を、対向電極基板105側にpチャネル薄膜MOSトランジスタ202をそれぞれ搭載し、縦配線108で接続することで相補型MOSトランジスタの回路を構成している。当該回路構成により、単一導電型の薄膜MOSトランジスタのみで構成した駆動回路の場合より消費電力を大幅に低減でき、発熱量低減による信頼性の向上が期待できる。

【0022】

【発明の効果】以上説明したように、本発明を適用することにより、表示領域に比べて駆動回路の相対占有面積が小さいにもかかわらず駆動能力の高い液晶表示装置が得られ、大面積あるいは高精細度の高性能表示がコンパクトな外形寸法で可能となる。

【0023】更に、相補型MOS構造の駆動回路構成とすることにより、極めて低電力で動作可能な駆動回路となるので、発熱量が少なく長期信頼性に優れた液晶表示装置が得られる。

【0024】また、相補型MOS構造のnチャネルとpチャネルとを分割することにより、同一基板上に同一チャネルのMOSトランジスタを製造すればよく、製造工程を削減できるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を示す液晶表示装置を表わす図であり、図1Aは断面図、図1Bはアクティブマトリクス基板の平面図、図1Cは対向電極基板の構成を表す表面図である。

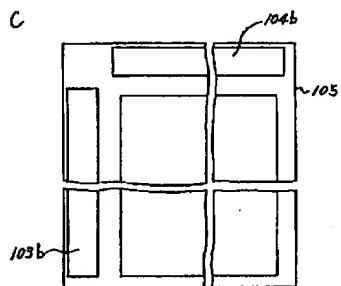
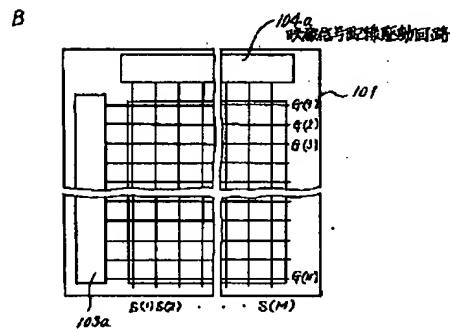
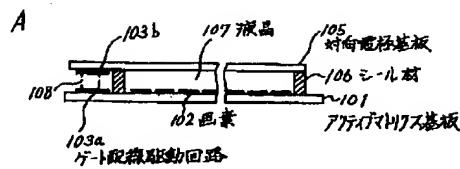
【図2】本発明の液晶表示装置の駆動回路構成を表わす図である。

【図3】従来の液晶表示装置を表わす図である。

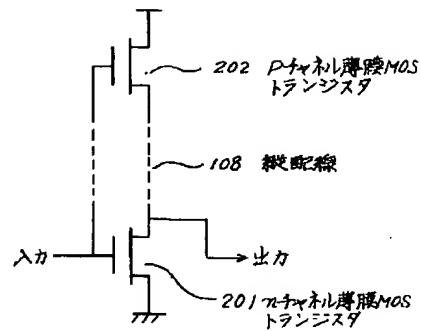
【符号の説明】

|                 |                  |
|-----------------|------------------|
| 101, 301        | アクティブマトリクス基板     |
| 102, 302        | 画素               |
| 103a, 103b, 303 | ゲート配線駆動回路        |
| 104a, 104b, 304 | 映像信号配線駆動回路       |
| 105, 305        | 対向電極基板           |
| 106, 306        | シール材             |
| 107, 307        | 液晶               |
| 108, 208        | 縦配線              |
| 201             | nチャネル薄膜MOSトランジスタ |
| 202             | pチャネル薄膜MOSトランジスタ |

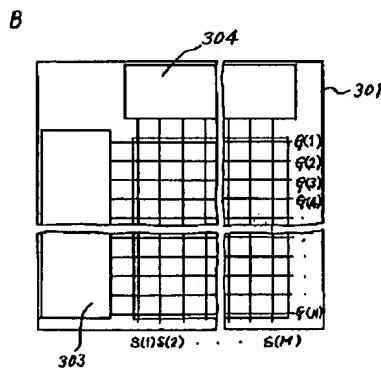
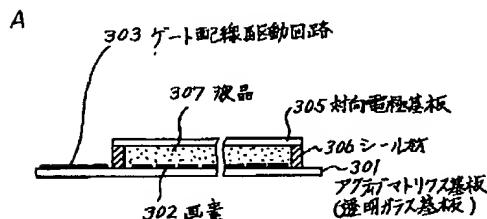
【図1】



【図2】



【図3】



## フロントページの続き

|                            |       |           |     |        |
|----------------------------|-------|-----------|-----|--------|
| (51) Int. Cl. <sup>5</sup> | 識別記号  | 庁内整理番号    | F I | 技術表示箇所 |
| G 0 9 F 9/35               | 3 0 7 | 7926-5G   |     |        |
| H 0 1 L 27/12              |       | M 8728-4M |     |        |
| 29/784                     |       |           |     |        |